

Московский Государственный Институт  
Радиотехники Электроники и Автоматики

**Лабораторная работа**

*Предмет:* Микропроцессоры ЭВМ

*Группа:* СПВ-1-97

*Студент:* Фомичёв А. Б.

МОСКВА 2002

## Часть I

# Лабораторная работа №1

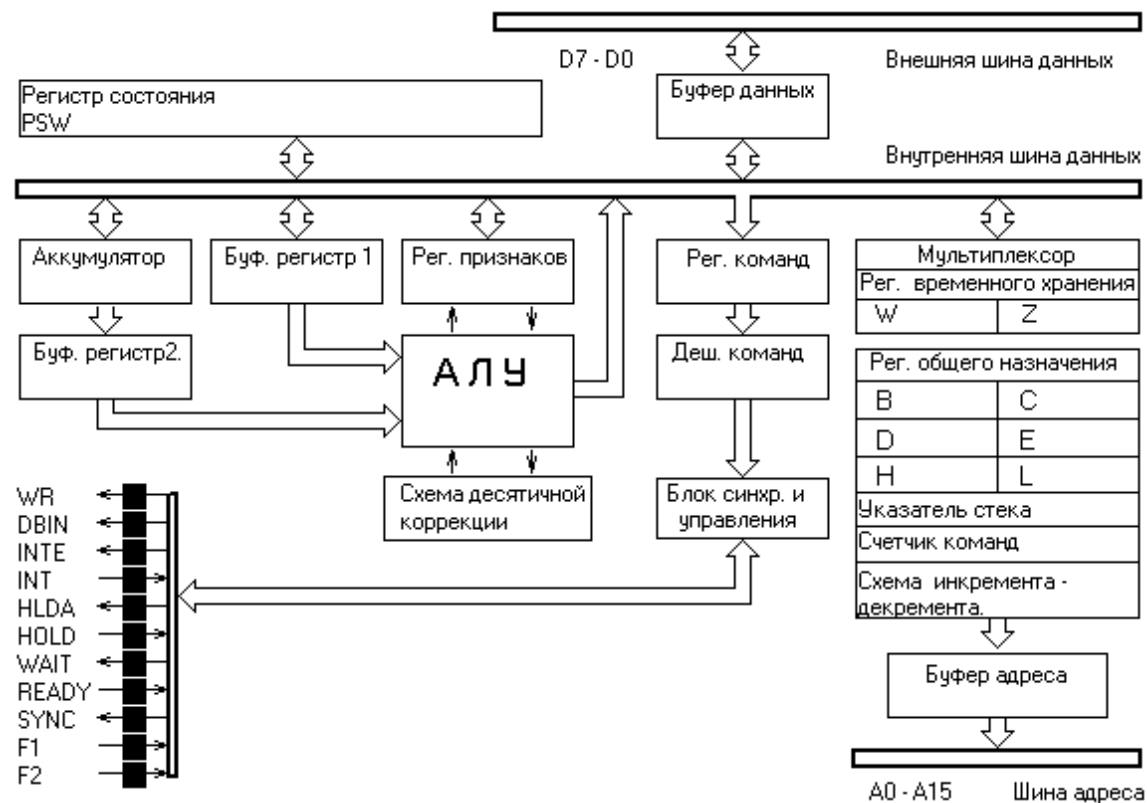
Цель работы: Исследование работы процессора при выполнении команд различных типов.

Вариант: 9

Команды: 3A, 48, 77, 01, D5, B8, 07

## 1 Отчёт

### 1.1 Структурная схема процессора



## 1.2 Таблица состояний процессора

Таблица состояний процессора																				Оценка правильности выполнения командой своих функций		
КОП	Цикл	Такт	PK	PC	SP	Буф. адр.	Буф. дан.	Состояние POH								Состояние флагов						
								W	Z	A	B	C	D	E	H	L	Z	S	P		C	AC
3A	1	1		0000	FFFF	0000				00	00	00	00	00	00	00					Установка PC и буфера адреса Выборка команды Запись команды в PK Инкрементация PC Запись адреса в буфер Чтение из памяти Запись в регистр Z Запись адреса в буфер Чтение из памяти Запись в регистр W Запись адреса в буфер Чтение из памяти	
		2		0000	FFFF	0000	3A			00	00	00	00	00	00	00						
		3	3A	0000	FFFF	0000	3A			00	00	00	00	00	00	00						
	2	4	3A	0001	FFFF	0000	3A			00	00	00	00	00	00	00						
		5	3A	0001	FFFF	0001	3A			00	00	00	00	00	00	00						
		6	3A	0001	FFFF	0001	34		34	00	00	00	00	00	00	00						
	3	7	3A	0002	FFFF	0001	34		34	00	00	00	00	00	00	00						
		8	3A	0002	FFFF	0002	34		34	00	00	00	00	00	00	00						
		9	3A	0002	FFFF	0002	12	12	34	00	00	00	00	00	00	00	00					
	4	10	3A	0003	FFFF	0002	12	12	34	00	00	00	00	00	00	00	00					
		11	3A	0003	FFFF	1234	12	12	34	00	00	00	00	00	00	00	00					
		12	3A	0003	FFFF	1234	FF	12	34	FF	00	00	00	00	00	00	00					
		13	3A	0003	FFFF	1234	FF	12	34	FF	00	00	00	00	00	00	00					
48	1	1		0005	FFFF	0005				00	23	00	00	00	00	00					Установка PC и буфера адреса Выборка команды Запись команды в PK Копирование регистра В в С Инкрементация PC	
		2		0005	FFFF	0005	48			00	23	00	00	00	00	00						
		3	48	0005	FFFF	0005	48			00	23	00	00	00	00	00						
		4	48	0005	FFFF	0005	48			00	23	23	00	00	00	00						
	5	48	0006	FFFF	0005	48			00	23	23	00	00	00	00							
77	1	1		000A	FFFF	000A				23	00	00	00	00	03	45					Установка PC и буфера адреса Выборка команды Запись команды в PK Инкрементация PC Запись адреса в буфер Запись в память	
		2		000A	FFFF	000A	77			23	00	00	00	00	03	45						
		3	77	000A	FFFF	000A	77			23	00	00	00	00	03	45						
		4	77	000B	FFFF	000A	77			23	00	00	00	00	03	45						
		5	77	000B	FFFF	0345	77			23	00	00	00	00	03	45						
		6	77	000B	FFFF	0345	23			23	00	00	00	00	03	45						
		7	77	000B	FFFF	0345	23			23	00	00	00	00	03	45						

Таблица состояний процессора																					Оценка правильности выполнения командой своих функций
КОП	Цикл	Такт	PK	PC	SP	Буф. адр.	Буф. дан.	Состояние POH								Состояние флагов					
								W	Z	A	B	C	D	E	H	L	Z	S	P	C	
01	1	1		000F	FFFF	000F				00	00	00	00	00	00						Установка PC и буфера адреса Выборка команды Запись команды в PK Инкрементация PC Запись адреса в буфер Чтение из памяти Инкрементация PC Запись адреса в буфер Чтение из памяти Инкрементация PC
		2		000F	FFFF	000F	01			00	00	00	00	00	00						
		3	01	000F	FFFF	000F	01			00	00	00	00	00	00						
		4	01	0010	FFFF	000F	01			00	00	00	00	00	00						
	2	5	01	0010	FFFF	0010	01			00	00	00	00	00	00						
		6	01	0010	FFFF	0010	12			00	00	12	00	00	00						
		7	01	0011	FFFF	0010	12			00	00	12	00	00	00						
	3	8	01	0011	FFFF	0011	12			00	00	12	00	00	00						
		9	01	0011	FFFF	0011	35			00	35	12	00	00	00						
		10	01	0012	FFFF	0011	35			00	35	12	00	00	00						
D5	1	1		0014	FFFF	0014				00	00	00	23	45	00	00					Установка PC и буфера адреса Выборка команды Запись команды в PK Инкрементация PC Декрементация S Запись адреса в буфер Запись в стек Декрементация SP Запись адреса в буфер Запись в стек
		2		0014	FFFF	0014	D5			00	00	00	23	45	00	00					
		3	D5	0014	FFFF	0014	D5			00	00	00	23	45	00	00					
		4	D5	0015	FFFF	0014	D5			00	00	00	23	45	00	00					
	2	5	D5	0015	FFFE	0014	D5			00	00	00	23	45	00	00					
		6	D5	0015	FFFE	FFFE	D5			00	00	00	23	45	00	00					
		7	D5	0015	FFFE	FFFE	23			00	00	00	23	45	00	00					
	3	8	D5	0015	FFFD	FFFE	23			00	00	00	23	45	00	00					
		9	D5	0015	FFFD	FFFD	23			00	00	00	23	45	00	00					
		10	D5	0015	FFFD	FFFD	45			00	00	00	23	45	00	00					
		11	D5	0015	FFFD	FFFD	45			00	00	00	23	45	00	00					
B8	1	1		0019	FFFF	0019				05	07	00	00	00	00						Установка PC и буфера адреса Выборка команды Запись команды в PK Вычитание Инкрементация PC
		2		0019	FFFF	0019	B8			05	07	00	00	00	00	00					
		3	B8	0019	FFFF	0019	B8			05	07	00	00	00	00	00					
		4	B8	0019	FFFF	0019	B8			05	07	00	00	00	00	00			1		
		5	B8	001A	FFFF	0019	B8			05	07	00	00	00	00	00			1		
07	1	1		001E	FFFF	001E				81	00	00	00	00	00						Установка PC и буфера адреса Выборка команды Запись команды в PK Циклический сдвиг влево Инкрементация PC
		2		001E	FFFF	001E	07			81	00	00	00	00	00	00					
		3	07	001E	FFFF	001E	07			81	00	00	00	00	00	00					
		4	07	001E	FFFF	001E	07			03	00	00	00	00	00	00			1		
		5	07	001F	FFFF	001E	07			03	00	00	00	00	00	00			1		

### 1.3 Экспертная оценка выполнения команд

В процессе выполнения процессором каждой команды, ошибок обнаружено не было. Описание каждого такта работы процессора приведено в последней колонке таблицы состояния процессора.

## Часть II

# Лабораторная работа №2

Цель работы: Освоение команд процессора и приобретение навыков составления простых программ в кодах команд.

## 2 Задание 1

Составить программу вычисления выражения:

$$N = \sum_{i=1}^n a_i = a_1 + a_2 + a_3 + \dots + a_n,$$

где  $a_i$  – число натурального ряда, начиная с '1',  $n$  – количество чисел,  $n = 90$

### 2.1 Алгоритм

1. В регистр В помещается значение длины ряда 5Ah;
2. Складываем содержимое В с аккумулятором;
3. Если в аккумуляторе произошло переполнение, то инкрементируем значение регистра D;
4. Уменьшаем на единицу длину ряда в В;
5. Если длина стала нулевой, то копируем аккумулятор в Е и останавливаемся, иначе возвращаемся к сложению с аккумулятором;
6. Сумма ряда находится в регистровой паре DE.

## 2.2 Листинг

```
0000: 06 5A      ; MVI B    /B <- 5Ah/
0002: 80         ; ADD B    /A += B/
0003: DA 0C 00   ; JC  adr  /IF C == 1 THEN GOTO 000C/
0006: 05         ; DCR B    /B--/
0007: C2 02 00   ; JNZ  adr  /IF Z != 1 THEN GOTO 0002/
000A: 5F         ; MOV E,A  /E <- A/
000B: 76         ; HLT     /STOP/
000C: 14         ; INR D    /D++/
000D: C3 00 06   ; JMP  adr  /GOTO 0006/
```

## 3 Задание 3

Составить программу для пересылки массива данных размерностью  $n$  из одной области ОЗУ в другую.

$n = 12$

### 3.1 Алгоритм

1. Исходные данные заносятся: длина массива (0Ch) в регистр H, адрес начала массива в памяти в регистровую пару BC, адрес начала будущего месторасположения массива в DE;
2. Считываем в аккумулятор содержимое ячейки памяти, адрес которой содержится в BC;
3. Записываем элемент массива из аккумулятора в ячейку памяти, адрес которой содержится в DE;
4. Инкрементируем содержание регистровых пар BC и DE;
5. Уменьшаем на единицу длину массива в H;
6. Если длина стала нулевой, то останавливаемся, иначе возвращаемся к считыванию в аккумулятор.

## 3.2 Листинг

```
0010: 26 0C      ; MVI H    /H <- 0Ch/
0012: 01 21 00   ; LXI B    /BC <- 0021/
0015: 11 30 00   ; LXI D    /DE <- 0030/
0018: 0A         ; LDAX B    /A <- (BC)/
0019: 12         ; STAX D    /A -> (DE)/
001A: 03         ; INX B    /BC++/
001B: 13         ; INX D    /DE++/
001C: 25         ; DCR H    /H--/
001D: C2 18 00   ; JNZ adr  /IF Z !=1 THEN GOTO 0018/
0020: 76         ; HLT      /STOP/
```